

A power device driving circuit has a power device, a driving unit, a current detecting unit and a short circuit current protection unit. When the circuit detects a short circuit by the current detecting unit, the short circuit current protection unit protects the power device with two steps. First, the circuit reduces an input voltage to a gate terminal of the device by reducing a power supply voltage of the driving unit so that the short circuit current is reduced substantially. After that, the circuit sets the input voltage to 0 volt so that the short circuit current becomes zero.

(43)公開日 平成8年(1996)5月31日

(51) Int. Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 K 17/08	Z	9184-5K		
G 0 5 F 1/56	3 3 0 C	4237-5H		
H 0 2 H 3/12	A			

審査請求 未請求 請求項の数1 FD (全 4 頁)

(21)出願番号 特願平6-304292

(22)出願日 平成6年(1994)11月14日

(71)出願人 000005843

松下電子工業株式会社
大阪府高槻市幸町1番1号

(72)発明者 荒川 竜太郎

大阪府高槻市幸町1番1号 松下電子工業
株式会社内

(72)発明者 栗山 茂

大阪府高槻市幸町1番1号 松下電子工業
株式会社内

(72)発明者 進藤 裕之

大阪府高槻市幸町1番1号 松下電子工業
株式会社内

(74)代理人 弁理士 鬼頭 敏夫

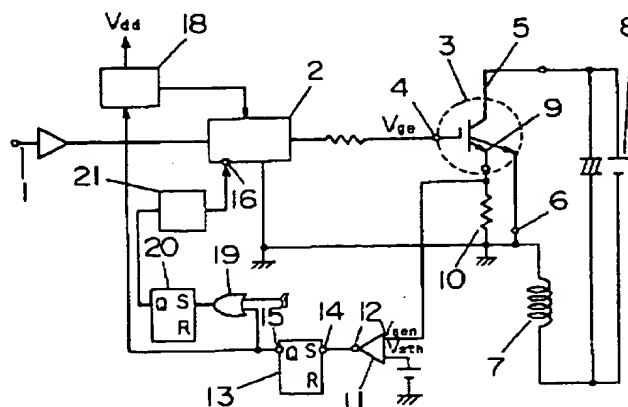
(54) 【発明の名称】 パワーデバイスの保護回路付駆動回路

(57) 【要約】

【目的】 パワーデバイスに短絡が発生した時、パワーデバイスのゲート駆動電圧を即時に遮断したときに発生するコレクターエミッタ間電圧の跳ね上がりを防止する。

【構成】 パワーデバイスの短絡を検知すると、先にパワーデバイスの駆動回路の電源電圧を低下させることでゲート端子電圧を低下させ、その低下したゲート端子電圧をパワーデバイスに印加して短絡電流を大幅に減少させた後、次にゲート端子電圧を零として、短絡電流を完全に零にする。

2	駆動回路
3	センス端子付IGBT
18	電源電圧 V_{dc} 変換回路
21	遅延回路
V_{gs}	ゲート端子電圧
V_{sen}	センス電圧
V_{th}	短絡電流保護閾値電圧



【特許請求の範囲】

【請求項1】 電流検出機能を持ったパワーデバイスにおいて、短絡を検知すると、先にパワーデバイスの駆動回路の電源電圧を低下させることでゲート端子電圧を低下させ、その低下したゲート端子電圧をパワーデバイスに印加して短絡電流を大幅に減少させた後、次にゲート端子電圧を零として、短絡電流を完全に零にするパワーデバイスの保護回路付駆動回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、パワートランジスタ、パワーMOSFET、IGBT等のパワーデバイスの保護回路付駆動回路に関するものである。

【0002】

【従来の技術】パワーデバイスの1つであるIGBTの従来の保護回路付駆動回路につき図面と共に説明する。図3は従来のIGBTの保護回路付駆動回路のブロック図であり、入力端子1は駆動回路2を経てセンス端子付IGBT3のゲート端子4に接続されている。5、6はセンス端子付IGBT3のコレクタ端子及びエミッタ端子であり、その間に負荷7と電源8が直列に接続されている。9はセンス端子付IGBT3のセンス端子である電流検出端子であり、コレクタ端子5に流れる電流の数千分の1の電流が流れるようになっており、電流検出端子9に接続したセンス抵抗10の端部に現れるセンス電圧 V_{sen} は短絡電流保護閾値電圧 V_{sth} とともにコンパレータ11に印加され、その比較出力端子12はR-Sフリップフロップ13のS側入力端子14に接続され、そのR-Sフリップフロップ13の出力端子15は前記駆動回路2の制御入力端子16に接続されている。17は駆動回路2の V_{dd} 電源である。

【0003】このような回路接続において、入力端子1に閾値以上の電圧が印加されると駆動回路2に入力信号が入り、IGBT3のゲート端子4には駆動回路2の電源17の電圧 V_{dd} より約1V低いゲート駆動電圧 V_{ge} が印加され、IGBT3はオン状態になる。

【0004】このような状態で負荷7に異常が起こり短絡状態になると、IGBT3のコレクタ端子5とエミッタ端子6の間に電源8の電圧が直接に印加されることになり、大きな短絡電流が流れることになる。従ってセンス抵抗10の端部に現れるセンス電圧 V_{sen} が過電流保護閾値電圧 V_{sth} を越えることになり、IGBT3のコレクタ端子5に過電流が流れたということでコンパレータ11の比較出力端子12の信号がR-Sフリップフロップ13のS側入力端子14をセットし、その出力端子15の出力で駆動回路2を制御し駆動回路2の出力をオフとしてIGBT3の電流を遮断する。

【0005】この場合の各部分における信号波形のタイミングチャートを図4に示す。駆動回路2の出力が即時にオフになるとIGBT3のゲート-エミッタ間電圧 V_{ge}

は、タイミングチャート図4のaに示すように、短時間でピーク値 V_{gep} から零値に変化する。この場合、短絡電流は定格電流値の10倍以上になる場合もあり、短絡電流の立ち下がりがスピード dI_{short}/dt はタイミングチャート図4のbに示すように非常に大きなものとなり、電流遮断時のコレクタ端子5-エミッタ端子6間の電圧跳ね上がりは $V_{サージ} = L \cdot dI_{short}/dt$ (L は配線インダクタンス)で表され、タイミングチャート図4のcに示すようなサージ電圧が現れる。この場合、 dI_{short}/dt が大きい程、電圧跳ね上がり $V_{サージ}$ は大きくなり、IGBT3の耐圧以上となりIGBT3を破壊することがあった。

【0006】

【発明が解決しようとする課題】前記のように従来のIGBTの保護回路付駆動回路においては、IGBTの負荷短絡時即時にゲート-エミッタ間電圧 V_{ge} をオフにするため、 dI_{short}/dt が大きくコレクターエミッタ間電圧 V_{ce} の跳ね上がりが大きくなるという問題があった。本発明は上記の問題点を解決するものである。

【0007】

【課題を解決するための手段】上記課題を解決するために、本発明はパワーデバイスにおいて、パワーデバイスの短絡を検知すると、先にパワーデバイスの駆動回路の電源電圧を低下させることでゲート端子電圧を低下させ、その低下したゲート端子電圧をパワーデバイスに印加して短絡電流を大幅に減少させた後、次にゲート端子電圧を零として、短絡電流を完全に零にするものである。

【0008】

【作用】本発明は上記した構成により、 dI_{short}/dt を大幅に低減でき、コレクターエミッタ間電圧 V_{ce} の跳ね上がりによる破壊を防ぐことができる信頼度の高いパワーデバイスの保護回路付駆動回路を得ることができる。

【0009】

【実施例】以下本発明のパワーデバイスの保護回路付駆動回路の一実施例につき、図面と共に説明する。図1は本発明の一実施例であるIGBTの保護回路付駆動回路のブロック図であり、従来例を示す図3における構成と同じ部分は同一符号を用いる。入力端子1は駆動回路2を経てセンス端子付IGBT3のゲート端子4に接続されている。5、6はセンス端子付IGBT3のコレクタ端子及びエミッタ端子であり、その間に負荷7と電源8が直列に接続されている。9はセンス端子付IGBT3のセンス端子である電流検出端子であり、コレクタ端子5に流れる電流の数千分の1の電流が流れるようになっており、電流検出端子9に接続したセンス抵抗10の端部に現れるセンス電圧 V_{sen} は短絡電流保護閾値電圧 V_{sth} とともにコンパレータ11に印加され、その比

較出力端子12はR-Sフリップフロップ13のS側入力端子14に接続され、そのR-Sフリップフロップ13の出力端子15は前記駆動回路2の電源電圧V_{dd}の変換回路18に接続されると共に、ORゲート19、R-Sフリップフロップ20、遅延回路21を経て前記駆動回路2の制御入力端子16に接続されている。

【0010】このような回路接続において、入力端子1に閾値以上の電圧が印加されると駆動回路2に入力信号が入り、IGBT3のゲート端子4には駆動回路2の電源電圧V_{dd}より約1V低いゲート駆動電圧V_{ge}が印加され、IGBT3はオン状態になる。

【0011】このような状態で負荷7に異常が起これ短絡状態になると、IGBT3のコレクタ端子5とエミッタ端子6の間に電源8の電圧が直接に印加されることになり、大きな短絡電流が流れ、センス抵抗10の端部に現れるセンス電圧V_{sen}が過電流保護閾値電圧V_{sth}を越えることになり、R-Sフリップフロップ13のS側入力端子14にセット信号が入り、その出力端子15の接続された電源電圧V_{dd}変換回路18が制御されて、駆動回路2の電源電圧が1/2V_{dd}に変換される。その結果、IGBT3のゲート駆動電圧V_{ge}は1/2に低下して短絡電流が大幅に低減される。同時に、R-Sフリップフロップ13の出力端子15の信号がORゲート19、R-Sフリップフロップ20、遅延回路21を経て駆動回路2の制御入力端子16に印加されているので、IGBT3のゲート駆動電圧V_{ge}が1/2に低下した後一定時間の後にゲート駆動電圧V_{ge}を零にし、短絡電流を完全に零にするものである。

【0012】この場合の各部分における信号波形のタイミングチャートを図2に示す。最初、センス抵抗10により短絡電流を検知したタイミングt₁で電源電圧V_{dd}変換回路18を制御してIGBT3のゲート駆動電圧V_{ge}をタイミングチャート図2のaに示すように、ピーク値V_{gep}から1/2V_{gep}に低下する。同時に、コレクタ端子5に流れる短絡電流はタイミングチャート図2のbに示すように、零値ではないが大幅に低減される。その時の短絡電流の立ち下がりスピードdI_{ショート}/dtは、短絡電流が一挙に零値にまで低減しないので従来例を示すタイミングチャート図4のbの場合に比し緩やかなものとなる。従って、IGBT3のコレクタエミッタ間に発生するVサージ=L・dI_{ショート}/dtもタイミングチャート図2のcに示すように、従来例を示すタイミングチャート図4のcの場合に比し、小さなものとなる。同時に、R-Sフリップフロップ13の出力端子15の信号に基づき遅延回路21を経て駆動回路2が制御されることにより、タイミングチャート図2のaに示すように、タイミングt₁より一定時間後のt₂にゲート駆動電圧V_{ge}を零にする。それに伴いタイミングチャート図2のbに示すように、短絡電流も零になる。その時にIGBT3のコレクタエミッ

タ間に発生するVサージ=L・dI_{ショート}/dtも小さなものとなる。

【0013】

【発明の効果】本発明は実施例の説明から明らかなように、パワーデバイスの短絡を検知すると、先にパワーデバイスの駆動回路の電源電圧を低下させることでゲート端子電圧を低下させ、その低下したゲート端子電圧をパワーデバイスに印加して短絡電流を大幅に減少させた後、次にゲート端子電圧を零として、短絡電流を完全に零にするものである。従来の短絡保護回路では、短絡電流遮断時のdI/dtが例えば1000A/μsとなると、コレクタエミッタ間のサージ電圧Vサージが200～250Vとなり、300V印加の回路では500～550Vとなり、600V耐圧のデバイスでは10～20%が破壊していた。本発明により短絡電流遮断時のdI/dtが500A/μsとなり、破壊発生はほぼ0%に低減できた。

【図面の簡単な説明】

【図1】本発明の一実施例におけるパワーデバイスの保護回路付駆動回路のブロック図

【図2】本発明の一実施例におけるパワーデバイスの保護回路付駆動回路の各部分における信号波形のタイミングチャート図

【図3】従来のパワーデバイスの保護回路付駆動回路のブロック図

【図4】従来のパワーデバイスの保護回路付駆動回路の各部分における信号波形のタイミングチャート図

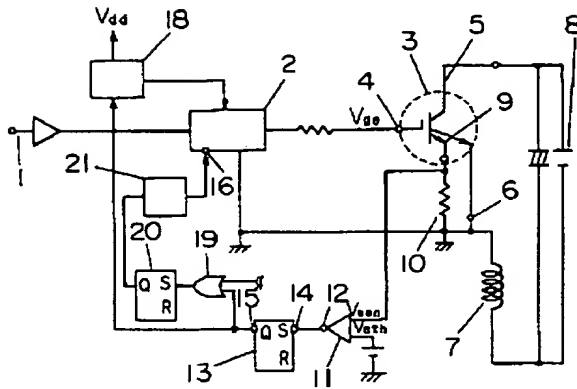
【符号の説明】

- 1 入力端子
- 2 駆動回路
- 3 センス端子付IGBT
- 4 ゲート端子
- 5 コレクタ端子
- 6 エミッタ端子
- 7 負荷
- 8 電源
- 9 センス抵抗
- 10 センス抵抗
- 11 コンパレータ
- 12 比較出力端子
- 13 R-Sフリップフロップ
- 14 S側入力端子
- 15 出力端子
- 16 制御入力端子
- 17 V_{dd}電源
- 18 電源電圧V_{dd}変換回路
- 19 ORゲート
- 20 R-Sフリップフロップ
- 21 遅延回路
- V_{ge} ゲート駆動電圧

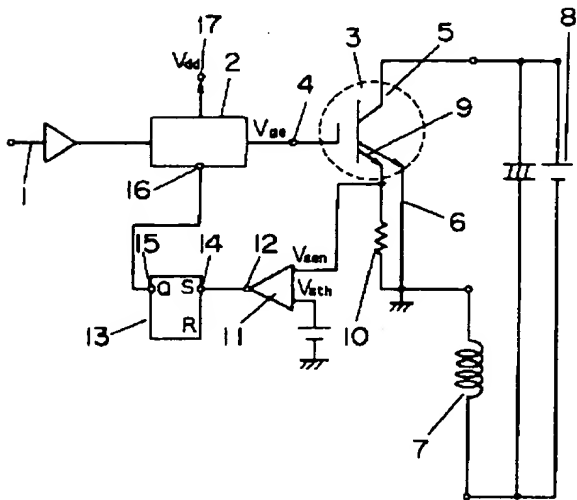
V_{sen} センス電圧V_{sth} 過電流保護閾値電圧

【図1】

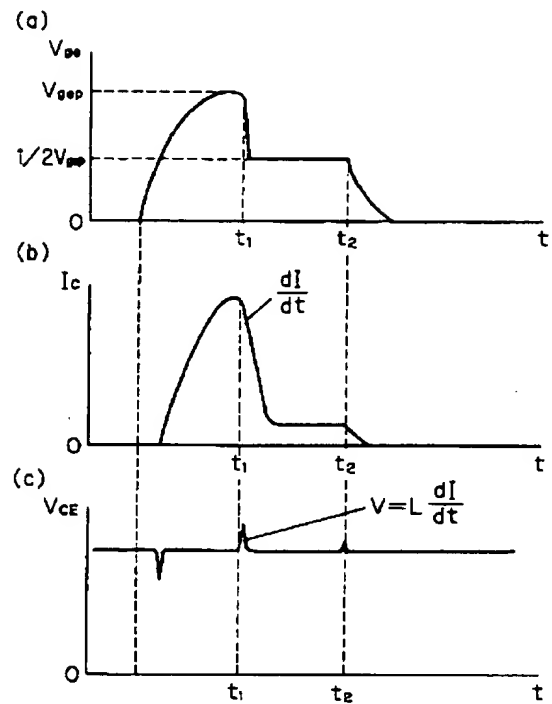
- 2 駆動回路
 3 センス端子付IGBT
 18 電源電圧V_{dc}変換回路
 21 過延回路
 V_{gs} ゲート端子電圧
 V_{sen} センス電圧
 V_{sth} 短絡電流保護閾値電圧



【図3】



【図2】



【図4】

